

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-058421

(43)Date of publication of application : 13.03.1991

(51)Int.Cl.

H01L 21/3205

H01L 21/90

(21)Application number : 01-193442

(71)Applicant : NEC CORP

(22)Date of filing : 26.07.1989

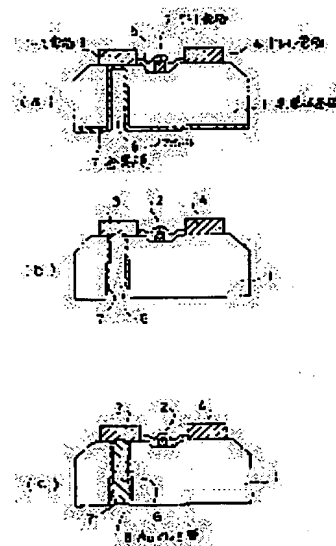
(72)Inventor : MOCHIZUKI AKIRA
TAKAHASHI HIDETADA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a metal to be buried in a hole without making a cavity therein by a method wherein a metallic film is formed only on the inner sides of the deep hole formed in a semiconductor substrate or an insulating film and then a plated film is deposited in the hole by electrolytic plating process using this metallic film.

CONSTITUTION: A deep viahole 6 reaching an electrode formed on a semiconductor substrate 1 is made in the semiconductor substrate 1 or an insulating film 5 and then the whole surface of the substrate 1 including this hole 6 or the insulating film 5 is coated with a metallic film 7 in contact with electrodes. Next, the metallic film 7 is left only on the sides of the hole 6 by anisotropical etching process while a plated film 8 is deposited in the hole 6 by electrolytic plating process feeding power to the metallic film 7 in the hole 6 through the electrodes. Since this metallic film 7 is coated only on the sides of the hole 6, the plated film 8 will not be deposited on the inlet part of the hole 6 not to fill up the hole 6 when the plated film 8 is deposited by the electrolytic plating process. Through these procedures, any cavity can be prevented from being made in the hole 6 thereby enabling a metal to be securely buried in the viahole 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平3-58421

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月13日

H 01 L 21/3205
21/90

A

6810-5F
6810-5F

H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-193442

⑯ 出 願 平1(1989)7月26日

⑰ 発 明 者 望 月 晃 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発 明 者 高 橋 英 匡 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板に形成した電極に達する深い穴を該半導体基板又は電極を覆う絶縁膜に形成する工程と、この穴を含む半導体基板又は絶縁膜の全面に前記電極に接触した金属膜を被着する工程と、これを異方性エッチングして前記穴内の側面にのみ該金属膜を残す工程と、前記電極を通して穴内の金属膜に通電を行う電解めっき法により該穴内にめっき膜を成長させる工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に、バイアホールやスルーホールを金属膜で埋設する方法に関する。

(従来の技術)

従来、バイアホールやスルーホール内に金属膜

を埋設する方法として、例えば第3図(a)及び(b)に示す方法が用いられている。

例えば、第3図(a)のように、ゲート電極2、ソース電極3、ドレイン電極4及び絶縁膜5を形成した半導体基板1の裏面に、ソース電極3に達する直径30 μ m ϕ 、深さ50 μ mのバイアホール6を開設する。そして、半導体基板1の裏面にスパッタ法によりTi(約100~200Å)とAu(約2000Å)を被着させ、金属膜7を形成する。

次に、第3図(b)のように、前記金属膜7を利用した電解めっき法により、金属膜7上にAuめっき膜8(約30 μ m)を成長させ、このAuめっき膜8でバイアホール6を埋設する。

(発明が解決しようとする課題)

上述した従来の製造方法では、バイアホール6を含む半導体基板1の裏面全体に金属膜7が存在し、この金属膜7の全面にAuめっき膜8が成長されるため、バイアホール6が深い場合(例えば50 μ m以上)、あるいは穴の径が小さい場合(例えば20 μ m以下)には、バイアホール6の入り口

でAuめっき膜8が成長し、バイアホール内部にAuめっき膜8が完全に成長しないうちに入り口付近を塞いでしまう。そのため、その後に電解めっきを続けても、バイアホール6の内部に“す”(空間)が発生し、バイアホール6内に金属を埋設することができなくなる。

このように、不完全な埋め込み状態で作られたGaAsFET(主にパワー系トランジスタ)では、ソースインダクタンスが十分に低減できないため効率が上がらない、バイアホール内部の“す”が熱処理によって膨れてしまうことによる信頼度の低下等の問題が生じている。

本発明はバイアホール内に確実に金属を埋設することができる製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明の製造方法は、半導体基板に形成した電極に達する深い穴を該半導体基板又は絶縁膜に形成する工程と、この穴を含む半導体基板又は絶縁膜の全面に前記電極に接触した金属膜を被着する

る。そして、このソース電極3の裏面側から半導体基板1にバイアホール6を開設する。その上で、このバイアホール6を含む半導体基板1の裏面に、スパッタ法によりTi/Au構造の金属膜7を被着する。この場合、金属膜7の膜厚は通常、Tiが100~200Åで、Auが1500~2500Åである。

次に、第1図(b)のように、半導体基板1の裏面側からCl系ガスによる異方性ドライエッチングを行ない、前記金属膜7をエッチングする。このとき、エッチング成分は垂直方向のみであるので、金属膜7はバイアホール6内の側面にのみ残される。

その後、第1図(c)のように、ソース電極3及び金属膜7を通して通電し、電解めっき法によりバイアホール6内にAuめっき膜8を成長させる。この時、バイアホール6の入り口部には金属膜7が存在していないので、めっき処理中に入り口が塞がることなく、バイアホール6の内部に完全にAuめっき膜8を成長させることができる。

第2図(a)乃至(d)は本発明の第2実施例

工程と、これを異方性エッチングして前記穴内の側面にのみ該金属膜を残す工程と、前記電極を通して穴内の金属膜に通電を行う電解めっき法により該穴内にめっき膜を成長させる工程とを含んでいる。

(作用)

この製造方法では、金属膜は穴の側面にのみ存在するため、電解めっき法によりめっき膜を成長させる際に、めっき膜が穴の入口部で成長して穴を塞ぐことがなく、穴内における空隙の発生が防止される。

(実施例)

次に、本発明を図面を参照して説明する。

第1図(a)乃至(c)は本発明の第1実施例を工程順に示す断面図である。

まず、第1図(a)のように、半導体基板1の表面にはゲート電極2、ソース電極3、ドレイン電極4を形成し、絶縁膜5で覆ってGaAsFETを形成している。前記ソース電極3、ドレイン電極4はそれぞれTi/Au構造に形成されてい

る。そして、このソース電極3の裏面側から半導体基板1にバイアホール6を開設する。その上で、このバイアホール6を含む半導体基板1の裏面に、スパッタ法によりTi/Au構造の金属膜7を被着する。この場合、金属膜7の膜厚は通常、Tiが100~200Åで、Auが1500~2500Åである。

次に、第1図(b)のように、半導体基板1の裏面側からCl系ガスによる異方性ドライエッチングを行ない、前記金属膜7をエッチングする。このとき、エッチング成分は垂直方向のみであるので、金属膜7はバイアホール6内の側面にのみ残される。

その後、第1図(c)のように、ソース電極3及び金属膜7を通して通電し、電解めっき法によりバイアホール6内にAuめっき膜8を成長させる。この時、バイアホール6の入り口部には金属膜7が存在していないので、めっき処理中に入り口が塞がることなく、バイアホール6の内部に完全にAuめっき膜8を成長させることができる。

第2図(a)乃至(d)は本発明の第2実施例工程と、これを異方性エッチングして前記穴内の側面にのみ該金属膜を残す工程と、前記電極を通して穴内の金属膜に通電を行う電解めっき法により該穴内にめっき膜を成長させる工程とを含んでいる。

この製造方法では、金属膜は穴の側面にのみ存在するため、電解めっき法によりめっき膜を成長させる際に、めっき膜が穴の入口部で成長して穴を塞ぐことがなく、穴内における空隙の発生が防止される。

〔発明の効果〕

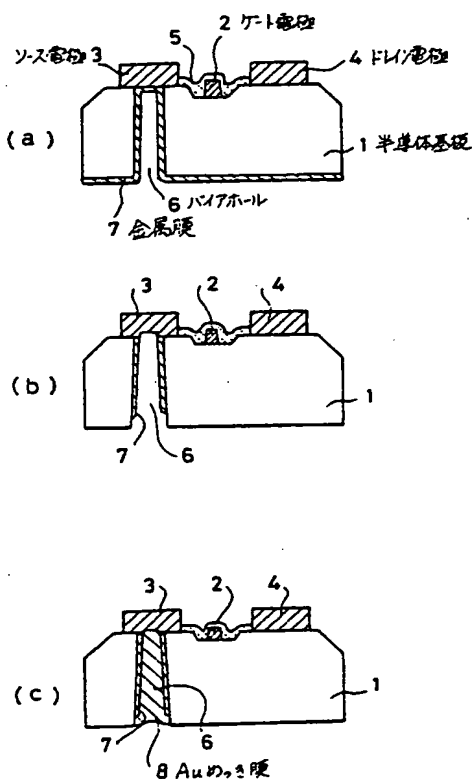
以上説明したように本発明は、半導体基板や絶縁膜に形成した深い穴の内部側面にのみ金属膜を形成し、この金属膜を利用した電解めっき法により穴内にめっき膜を成長させているので、めっき膜が穴の入口部で成長して穴を塞ぐことがなく、穴内に空隙を発生させることなく金属を穴内に埋設することができる効果がある。

4. 図面の簡単な説明

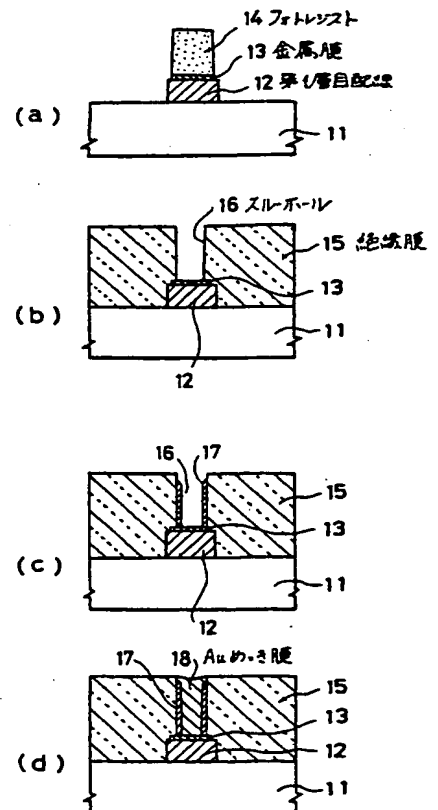
第1図(a)乃至(c)は本発明の第1実施例の製造方法を工程順に示す断面図、第2図(a)乃至(d)は本発明の第2実施例の製造方法を工程順に示す断面図、第3図(a)及び(b)は従来の製造方法及びその不具合を工程順に示す断面図である。

1…半導体基板、2…ゲート電極、3…ソース電極、4…ドレイン電極、5…絶縁膜、6…バイアホール、7…金属膜、8…Auめっき膜、11…半導体基板、12…第1層目配線、13…金属膜、14…フォトリソ、15…絶縁膜、16…スルーホール

第1図



第2図



第 3 図

